

# 高周波 LSI パッケージの諸問題

傳田精一

長野県工科短大

## 1. はじめに

情報量の増大にともない電子デバイスの高速化，高周波化は休みなく続いている．半導体チップの高速化も精力的に進められている．これを支える半導体パッケージにも同程度の高周波特性が必要になるが「チップが出来てもパッケージがない」という意見もあり，いまやチップ，パッケージ，回路基板がシステムの高速化という命題を目標に総合的なアプローチをする必要がある．

パッケージの高周波特性についてはここ数年部分的な配線，ビア，パンプなどについていくつかの研究が発表され，全体像が明確になりつつある．ここではこれらのデータを参考に総合的な理解を深めてみたい．

検討する実際のデバイスは最も高周波動作に適すると思われるフリップチップ BGA (図 1)とし，インターポザの構造はビルドアップ形ではなく，全層内部ビア構造とし，周波数領域は 10-20GHz を想定する．

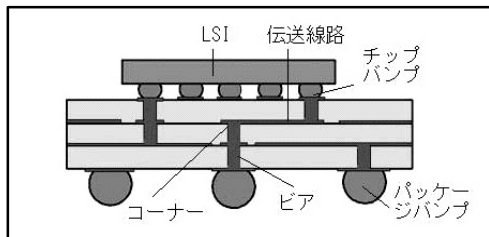


図 1. FCBGA の基本構造

## 2. 半導体チップ内配線とパッケージ配線

ここでチップ内の配線とパッケージ配線の比較をしてみると，チップ内では信号の遅延が問題となっている．これは RC 遅延と呼ばれ，配線の抵抗と配線の持つ容量の積であり，抵抗値を下げるための銅配線と容量減少のための low-k と呼ばれる低誘電率材料の研究が進んでいる．これに対してパッケージでは信号減衰を少なくするため，絶縁材料に対して低誘電率と低誘電損失 ( $\tan \delta$ ) 材料が求められている．

この違いの理由は主として配線の長さにある．信号の波長が配線長に近づくと，信号は波としての性質を強くあらわすようになり，配線は伝送線路として扱う必要がある．今 10GHz の信号に対しては周囲の絶縁物の誘電率を 4 とすると，波長は 1.5cm (20GHz では 7.5mm) となり，これより長い配線は伝送線路として考える必要がある．半導体チップ内の配線は一般にこれより短いとされているが，長い配線の場合はレピーター (CMOS スイッチング

回路) をいれて，等価的に配線を短縮している．

パッケージでは配線は一般にこれより長いので伝送線路の有効性が認識されているが，チップは大型化し，パッケージは逆に小型化しているため，両者の境界は不明瞭となっており，近い将来はチップ内も伝送線路にすべきであるという提案もされている．(ref.1) 逆にパッケージ内でも例えばビアの長さは波長より短いので，集中回路的な近似が可能である．

## 3. 誘電材料の選択

パッケージの配線は伝送線路として信号減衰に対して誘電正接の影響がより大きいので，誘電正接の小さな材料がいくつか検討されて，材料開発競争の観を呈した．現状ではポリイミド (ref.2,3)，液晶ポリマー (ref.4)，シクロオレフィン (ref.5)，ベンゾシクロブタン (ref.6) などいずれも  $\tan \delta$  が 0.002 以下，誘電率 3.0 以下のポリマー材料の候補が出揃って，パッケージが試作されている．

誘電正接の小さいものとして，セラミック，弗素樹脂など ( $\tan \delta$  が 0.007 以下) があるが，これらはパッケージ材料としてはやや使いにくい面があり，また誘電正接を小さくしてもその効果が限界に近づきつつあり (ref.7) ビア，パンプ形状などの他の要素を考慮せねばならなくなって来ている．

パッケージを構成するためには誘電特性の他に耐熱性，熱膨張係数，膜の平滑性，加工性，弾性率，金属密着性などが重要で，とくに表皮効果に影響する表面粗化度の小さいもの，または処理法の開発が要求されている．

## 4. 銅配線の断面形状と表皮効果

従来使用された厚さ 10 $\mu$  前後の銅膜では高密度配線に今後要求される 3-5 $\mu$  幅の線の作成は不可能で，膜厚は 3-5 $\mu$  とし，特性インピーダンスに影響する断面形状を正確にする必要がある．このためセミアデブ法による作成が不可欠になる．また 10GHz の周波数では電流は表皮効果によって表面の 0.8 $\mu$  のみを流れる．表面粗度は最小の表面粗化 (1-2 $\mu$ ) でピール強度を保つ必要がある．

## 5. ビアの高周波特性

FCBGA パッケージ構造としては最低 3 個のビアを通過せねばならない．ビア自身の長さは一般に信号波長よりかなり短い，伝送線路としての配線の接合点，屈折点

